

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-261036
 (43)Date of publication of application : 03.10.1997

(51)Int.CI. H03K 19/0185

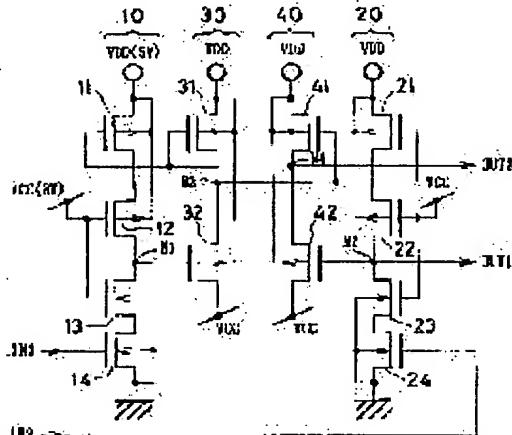
(21)Application number : 08-061091 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 18.03.1996 (72)Inventor : SUZUKI HIROAKI
 TANAKA YASUNORI

(54) LEVEL CONVERSION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the increase of power consumption at a standstill time, to sufficiently improve driving performance and to operate at a high speed by providing first and second CMOS circuits and first and second intermediate circuits, so as to consist of only a MOS transistor in which the gate oxidized film breakdown strength on a level is lower than a high voltage power supply level.

SOLUTION: A CMOS circuit 10 consists of P-MOSs 11 and 12 serially connected between a 5V power supply and a node N1 and N-MOSs 13 and 14 serially connected between the node N1 and the ground. A CMOS circuit 20 is constituted of element constitution similar to the CMOS circuit 10 and on the other hand, an intermediate circuit 30 consists of P-MOS 31 connected to between the 5V power supply and a node N3 and applied with the output of an intermediate circuit 40 to its gate and P-MOS 32 connected to between the node N3 and the 3V power supply. Then all the MOS transistors constituting these respective circuits 10 to 40 are provided with a characteristic in which allowable gate oxidized film breakdown strength is lower than 5V and higher than 3V.



LEGAL STATUS

[Date of request for examination] 07.09.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3258229
 [Date of registration] 07.12.2001
 [Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

路と、前記高電圧電源と第4の出力ノードとの間に直列に接続された前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードヒグランドとの間に直列接続された第2及び第3のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記入力信号の反相信号が印加され、前記第2のH�カノードの電位が印加され、フルダウン用として機能する前記第3のNチャネル型MOSトランジスタのゲートに前記入力信号の反相信号が印加され、前記第2のNチャネル型MOSトランジスタの各ゲートに底電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグランド電圧との間の幅値を有する信号を外部へ出力する第2のCMOS回路とを備えたことにある。

【0030】この第4の発明によれば、上記第1の発明における第2のN-MOSを省略し、入力信号を1種類とすることができる。入力信号がグランドレベル（“0”レベル）である場合は、第1のN-MOSがオシ、その後は上記第1の発明と同様の作用を行い、高電圧レベル（“1”レベル）の出力信号が印加される。この状態では、前記同様に本レベル差換回路内に静的な直流通流バースは存在しない、また、入力信号がグランドレベルから高電圧レベル（“1”レベル）へ変化した場合は、第1のN-MOSはオシ、第3のN-MOSがオンして、その後は、第1の発明と同様の作用を行い、グランドレベルの出力信号が印加される。この第4の発明も、許諾ダート耐性度耐压が高電圧電源よりも低いMOSトランジスタのみで回路を構成することができ、前述の第3の送波回路よりも高速に動作し、加えて低電圧駆動能力の低下も抑えられる。

【0031】第5の発明であるレベル差換回路の特徴は、底電圧印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードと第1の入力ノードとの間に接続された第1のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第1のPチャネル型MOSトランジスタのゲートに接続された前記第1の入力ノードに前記高電圧よりも低い低電圧とグランド電圧との間に幅値を有する入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに底電圧が共通して印加される第1のCMOS回路と、前記高電圧電源と第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第3のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される底電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードの選択がゲー

トに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第4の出力ノードの第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続された前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードと第2の入力ノードとの間に接続された第2のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに前記第1の中間回路の前記第2の出力ノードの電位が印加され、且つフルダウン用として機能する前記第2のNチャネル型MOSトランジスタのソースに接続された前記第2の入力ノードに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタ及び前記第2のNチャネル型MOSトランジスタの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグランド電圧との振幅を有する信号を外部へ出力する第2のCMOS回路と編成したことある。

【0032】この第5の発明によれば、上記第1の発明における第2及び第4のN-MOSを省略することができる。人力信号がグランドレベル（“0”レベル）である場合は、第1、第3及び第6のP-MOSと第2のN-MOSがオフ状態にあるので、本レベル差接回路内に静的な直流電流バランスは存在しない。また、人力信号がグランドレベルから高電圧レベル（“1”レベル）へ変化した場合は、第1のN-MOSはオフし、第2のN-MOSがオンして、その後は、第1の発明と同様の作用を行い、グランドレベルの出力信号が印出される。この第5の発明も、許容データ転送幅が高電圧電源よりも低いMOSトランジスタのみで回路を構成することができ、前述の第3の従来回路よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

【0033】第6の発明であるレベル差接回路の特徴は、上記第1乃至第5の発明において、前記第3の信号は、前記高電圧と前記低電圧との間の振幅を有する信号であり、該第1の信号を前記出力信号と独立して外部へ出力する構成としたことにある。

10034】この第6の発明によれば、上記第1乃至第5の発明の回路の適用範囲が広くなる。

10035】第7の発明であるレベル差換回路の特徴は、上記第1乃至第6の発明において、前記第4及び第

6の
をそ
OS
る。
0は
れば
荷を
0は
は、
れる
ヒグ
電源
低電
有す；
半導
第1；
ある。
[0] 、
ペレ
の[用
[0]
[発
基づ
るレ
の発
[0]
DD
V: v
する人
と、
V間
CM
路10
開回路
路10
下に逆
< B >
100
V電池
11,
接続
P-N
トにさ
さり、
そのク
なつて
100
れぞれ
用とし
て印加

[0361] この第4及び第6回路は、それぞれのソース側にトランジスタのドレイン回路において駆動する。第3回路は中間回路40とN-MOS1によって構成され、N-MOS1はフレーダーには前記データには記載されている。

第7の発明であるレベル変換回路は、高電圧（V_D）との間に接続されており、この回路は、本発明の実施例1に示すように、図1Aに示すように、出力信号OUT-1を出力する。この回路は、第1及び第2のCMOSトランジスタから構成され、これらは、共通の基板電圧と、高電圧（V_D）との間に接続される。この回路は、出力信号OUT-1とグランド電圧が、互いに反対の電位を有する全てのCMOSトランジスタを構成する。この回路は、C-MOS回路の特徴的な特性を有している。

[0049] オン、3V (1レベル) の入力信号IN1が供給された場合の動作を説明する。入力信号IN1が3V (1レベル) であると、この信号IN1がゲートに印加されるN-MOS14はオンし、上記オシロスコープからノードN1は0Vに近い電圧を出力する。その結果、P-MOS32がオフし、ノードN3は3Vに近い電圧を出力し、P-MOS41、21がオンする。

[0050] 一方、N-MOS24のゲートには、0V (0レベル) の入力信号IN2が印加されるので、N-MOS24はオフし、ノードN2の電圧は5Vとなる。その結果、P-MOS42がオフし、P-MOS41はオンしているのでノードN4の電圧は5Vになる。ノードN4の電圧が5Vになると、P-MOS11、31はオフし、ノードN1の電圧は0Vになり、ノードN3の電圧は3Vとなる。逆って、出力信号OUT1及びOUT2は、5V (1レベル) となる。

[0051] なお、この状態において、P-MOS1、31、32及びN-MOS24はオフしているので、このレベル変換回路内に静的な直流通電流バスは存在しない。

[0052] 次に入力信号IN1が3V ("1"レベル) から0V (0レベル) に変化した場合の動作を説明する。

[0053] N-MOS14はオフし、且つP-MOS11もオフしているので、ノードN1の電圧は定まらない。しかし、入力信号IN2は3V (1レベル) であるため、N-MOS2がオンし、このときP-MOS21もオフしているが、ノードN2の電圧は0Vに近いものとなる。その結果としてP-MOS42がオンし、このときP-MOS11もオフしているが、ノードN4は3Vに近い電圧になる。

[0054] ノードN4が3Vに近い電圧になると、P-MOS11、31がオンし、ノードN1は、N-MOS24が既にオフしているので5Vを出力する。その結果、P-MOS32がオフし、ノードN3の電圧は5Vとなるため、P-MOS41、21はオフして直流通電流バスが流れ、ノードN4は3Vを出力する。從って、出力信号OUT1は0V (0レベル) 、出力信号OUT2は3V (0レベル) が

出力される。

[0055] このような動作において、各トランジスタのゲートとソースまたはドレインあるいはサブストレーブとの間に3Vを超える電圧が印加されることはない。P-MOS32及びP-MOS42は、5Vからの電圧の倍率が割り、0Vが加わる時に過渡的に3Vを超える電圧がゲート電圧に加わるが、静止状態では、既MOSトランジスタはオンし、ソース、ドレイン間に3Vを超える電圧が形成され、基板電位の5Vはゲート電圧からシールドされるので、このゲート電圧には静的に3Vを超える電圧は加わら

ない。

[0056] このように本実施形態のレベル変換回路で、上記各トランジスタのゲート電圧には静的に3Vの符号が付されている（第4の発明に対応）。

[0057] 上記図1に示す構成において、N-MOS13のソースに、直接0Vから3Vの端子を持つ入力端子があり低いMOSトランジスタのゲートで回路を構成することができる。これにより、製造プロセスを複雑にしないで低消費電力のレベル変換回路を実現することが可能となる。さらに、与えられた電源レベルを、オンラインシスターで次のトランジスタのゲートに供給する方式であるため、ゲート電圧の振幅の制限にソースフォロアトランジスタのオフする効果を利用した前述の第3の端末回路よりも高速動作が可能となるだけでなく、負荷駆動能力の底ども抑えることができる。

[0058] 図2は、本発明の第2実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付されている（第3の発明に対応）。

[0059] 上記図1に示す構成において、N-MOS23のソースに、直接0Vから3Vの端子を持つ入力端子を接続しても回路動作が損なわれることはない。この点を個別に他の低電圧レベルに接続することにより、トランジスタのオン抵抗を調整し、タイミングの設定に自由度を持たせることができる。

[0060] 図2は、本実施形態では、底電圧レベルは全て3Vになっているが、たとえば2Vの電圧が他の回路に接続しても回路動作が正常に動作する。3V電圧に接続されているならば、P-MOS12及びP-MOS22のゲートのみを2V電圧源に接続しても、またP-MOS32及びP-MOS42のドレインのみを2V電圧源に接続しても、底電圧レベルに接続することにより、トランジスタのオン抵抗を調整し、タイミングの設定に自由度を持たせることができる。

[0061] 本実施形態では、底電圧レベルは全て3Vになっているが、たとえば1.5Vの電圧が他の回路に接続しても回路動作が正常に動作する。3V電圧に接続されているならば、P-MOS12及びP-MOS22のゲートのみを1.5V電圧源に接続しても、底電圧レベルに接続することにより、トランジスタのオン抵抗を調整し、タイミングの設定に自由度を持たせることができる。

[0062] 図3は、本発明の第3実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付されている（第4の発明に対応）。

[0063] 上記図1に示す構成において、N-MOS13のソースに、直接0Vから3Vの端子を持つ入力端子があるが、これは回路動作が損なわれることはない。この点を個別に他の低電圧レベルに接続しても回路動作が損なわれることはない。この点を個別に他の低電圧レベルに接続しても回路動作が損なわれる事はない。この点を個別に他の低電圧レベルに接続しても回路動作が損なわれる事はない。

[0064] 一方、入力信号IN1が0V ("0"レベル) から3V ("1"レベル) へ変化した場合は、N-MOS13がオフする一方で、N-MOS24がオンし、その後は1記第1実施形態と同様の動作が行われ、5V ("1"レベル) の出力信号OUT1及びOUT2が取出される。この状態では、P-MOS11、31、32及びN-MOS24がオフの状態にあるため、本レベル変換回路内に静的な直流通電流バスは存在しない。

[0065] 一方、入力信号IN2が0V ("0"レベル) から3V ("1"レベル) へ変化した場合は、N-MOS13がオフする一方で、N-MOS24がオンし、その後は第1実施形態と同様の動作が行われ、出力信号OUT1が0V ("0"レベル) に、出力信号OUT2が3V ("0"レベル) に変化する。

[0066] このように、入力信号IN2に対して逆相の出力信号OUT1及びOUT2が取出される。

[0067] 本実施形態では、上記第1実施形態と同様の点を有するほか、図1に示す回路のN-MOS24を省略した場合の例を示している。すなわち、上記CMOS回路20に代えて設けられたCMOS回路20'は、N-MOS24を省略してN-MOS23のソースに直接、入力信号IN1を印加した構成となっている。

[0068] 図4は、本発明の第4実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同一の符号が付されている（第5の発明に対応）。

[0069] 上記図1に示す構成において、N-MOS13及びN-MOS23のソースに、直接0Vから3Vの端子を持つ入力端子を接続しても回路動作が損なわれることはない。この点を個別に他の低電圧レベルで接続しても回路動作が損なわれることはない。この点を個別に他の低電圧レベルで接続しても回路動作が損なわれることはない。

[0070] 本実施形態では、底電圧レベルは全て3Vであるが、この点を個別に他の低電圧レベルで接続しても回路動作が損なわれることはない。この点を個別に他の低電圧レベルで接続しても回路動作が損なわれることはない。

[0071] 本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS24を省略した場合の例を示している。すなわち、上記CMOS回路10及び20に代えて設けられたCMOS回路10'、20'は、N-MOS14及び24を省略してN-MOS13及び23のソースに直接、それぞれ入力信号IN1及びIN2を印加した構成となっている。

[0072] 本実施形態では、上記第1実施形態によれば、入力信号1、31、42がオフの状態であり、加えてN-MOS23もオフしているため、本レベル変換回路内に静的な直流通電流バスは存在しない。一方、入力信号IN1が3V ("1"レベル) から0V ("0"レベル) へ変化した場合は、N-MOS14がオフし、N-MOS23がオンするので、第1実施形態と同様に出力信号OUT1が5V ("0"レベル) に、出力信号OUT2が3V ("0"レベル) に変化する。

[0073] 本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS24を省略した場合の例を示している。すなわち、上記CMOS回路60に示す構成において、入力信号1、31、42がオフの状態には、N-MOS13がオンし、その後は上記第1実施形態と同様の動作が行われ、5V ("1"レベル) の出力信号OUT1及びOUT2が取出される。このとき、P-MOS1

ている。ナリバシファ回路601は、P-MOS 6 1, 6 2で構成され、5 V～3 V間の電圧の信号をP-MOS 7 1に供給し、またメインナリバシファ回路の信号をP-MOS 7 2及びN-MOS 7 3, 7 4で構成され、その出力に接続された出力パンド8 0から複数回路の外部へ出力信号O/L/Tを出力するようになっている。

[0 0 7 9] 次に、動作を説明する。イネーブル端子5 2に0 V (0 レベル) が与えられると、P-MOS 7 1には5 V (1 レベル)、N-MOS 7 4には0 V (0 レベル) が印加され、出力パンド8 0はハイインピーダンス状態になる。一方、イネーブル端子5 2に3 V (1 " 1 " レベル) 且つデータ端子5 1に3 V (1 レベル) が与えられると、P-MOS 7 1のゲートに3 V (0 レベル)、N-MOS 7 4のゲートに0 V (0 レベル) が印加され、出力パンド8 0は5 V (1 レベル) となる。

[0 0 8 0] また、イネーブル端子5 2に3 V (1 レベル) 且つデータ端子5 1に0 V (0 レベル) が与えられた時は、P-MOS 7 1のゲートには3 V (0 レベル)、N-MOS 7 4のゲートに3 V (1 レベル) が印加され、出力パンド8 0は0 V (" 0 " レベル) となり、トライステイトバッファとして機能する。

[0 0 8 1] なお、P-MOS 7 1のゲートを、レベル変換回路における中間回路4 0の出力ノードN 4 (0 U T 2) に接続することにより、ナリバシファ回路7 0を省略することも可能である。

[0 0 8 2] 上記各実施形態においては5 Vと3 Vの2電源の場合について説明をしたが、0.25 μmデバイス世代では、ゲート駆動電圧耐圧が3.3 V以下になることが予想され、その代わりに、高電圧が3.3 V、低電圧が2 Vというような組み合わせで本発明を適用することも可能である。

[0 0 8 3] [発明の効果] 以上詳細に説明したように、第1の発明であるレベル変換回路によれば、ゲート駆動電圧が高電圧電圧レベルよりも低いMOSトランジスタのみで構成でき、且つ静止時の消費電力を増すことなく低電圧電源の駆動から高電圧電源の駆動に係る電圧幅を変換することができる。これにより、既述フロセスを複数しないで低消費電力のレベル変換回路を実現することが可能となる。さらに、前述の第3の従来回路よりも高速動作が可能となり、しかも負荷駆動能力の低下も抑えることができる。また、MOSトランジスタに接続される低電圧電源を個別に異なる低電圧の電圧源とすることにより、トランジスタのオン抵抗を調整することができ、イメージジョンの設定に自由度を持たせることも可能となる。

[0 0 8 4] 第2の発明であるレベル変換回路によれば、上記第1の発明の回路を駆動作なく的に動作させることが可能となる。

[0 0 8 5] 第3の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

[0 0 8 6] 第4の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

[0 0 8 7] 第5の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

[0 0 8 8] 第6の発明であるレベル変換回路によれば、上記第1乃至第5の発明の回路の応用範囲を広くすることができる。

[0 0 8 9] 第7の発明であるレベル変換回路によれば、上記第1乃至第6の発明の回路において、第4及び第6のP-MOSのゲート駆動化版への負荷を一箇所減らすことが可能となる。

[0 0 9 0] 第8の発明である半導体集積回路によれば、集成化されたレベル変換回路において、上記第1乃至第7の発明と同様の効果を得ることができる。

[【図面の筋書き説明】]

[【図1】] 本発明の第1実施形態によるレベル変換回路の回路図である。

[【図2】] 本発明の第2実施形態によるレベル変換回路の回路図である。

[【図3】] 本発明の第4実施形態によるレベル変換回路の回路図である。

[【図4】] 本発明の第5実施形態によるレベル変換回路の回路図である。

[【図5】] 本発明の第6実施形態によるレベル変換回路の回路図である。

[【図6】] 本発明の第7実施形態による半導体集積回路の回路図である。

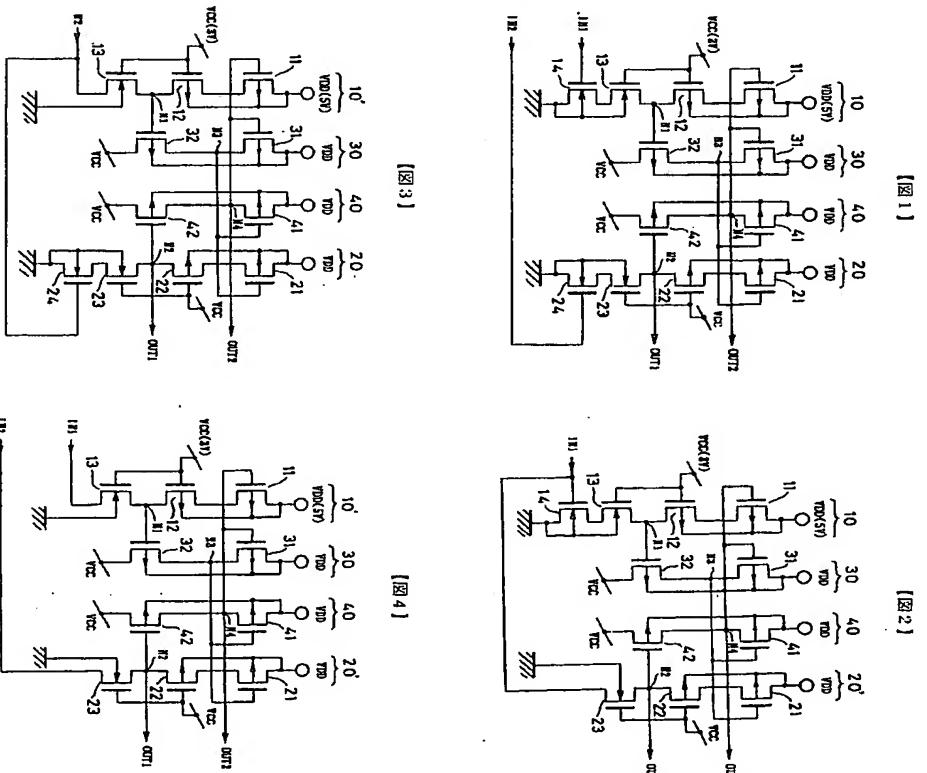
[【図7】] 従来のレベル変換回路の構成を示す回路図である (第1の従来回路)。

[【図8】] 従来のレベル変換回路の構成を示す回路図である (第2の従来回路)。

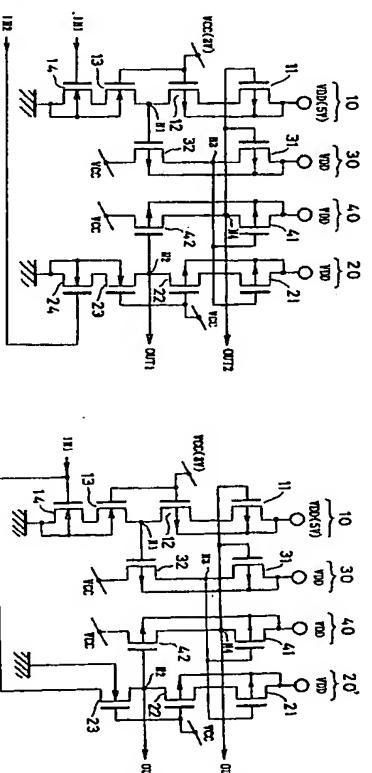
[【図9】] 従来のレベル変換回路の構成を示す回路図である (第3の従来回路)。

[【符号の説明】]

- 1 0 第1のCMOS回路
- 2 0 第2のCMOS回路
- 3 0 第1の中間回路
- 4 0 第2の中間回路



【図1】



【図2】

N 3 第2に出力ノード
N 4 第3の出力ノード
N 5 第4の出力ノード
V DD 5 V電源
V CC 3 V電源
I N 1 入力信号IN 1の反転信号
I N 2 入力信号IN 2の反転信号

N 3 第3または第4のN-MOS
N 4 第3の出力ノード
N 5 第4の出力ノード
V DD 5 V電源
V CC 3 V電源
I N 1 入力信号IN 1の反転信号
I N 2 入力信号IN 2の反転信号

N 3 第3または第4のN-MOS
N 4 第3の出力ノード
N 5 第4の出力ノード
V DD 5 V電源
V CC 3 V電源
I N 1 入力信号IN 1の反転信号
I N 2 入力信号IN 2の反転信号

(13)

特許第258229

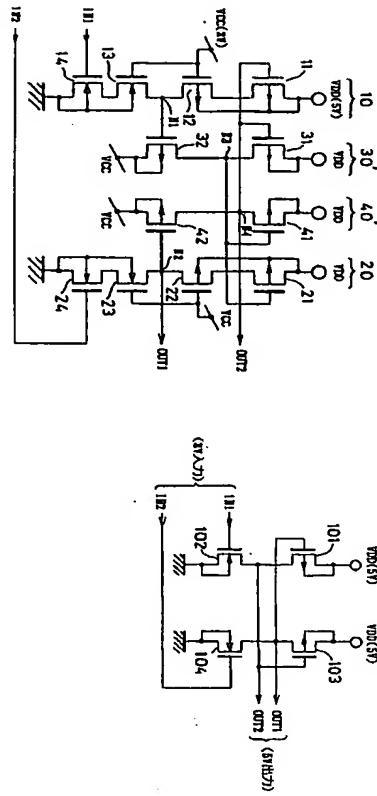
(14)

特許第3258229

[図5]

[図7]

[図9]



[図6]

